

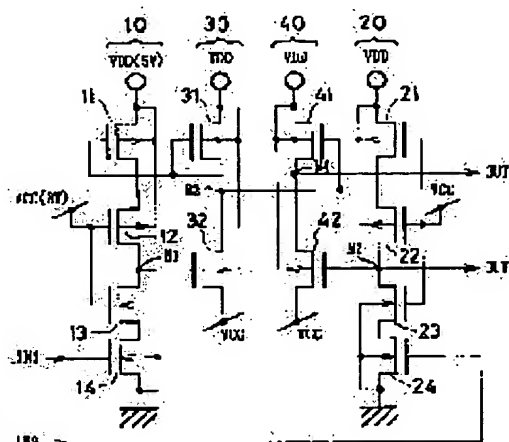
(11)Publication number : 09-261036
(43)Date of publication of application : 03.10.1997

H03K 19/0185

(71)Applicant : TOSHIBA CORP

(72)Inventor : SUZUKI HIROAKI
TANAKA YASUNORI

transistors constituting these respective circuits 10 to 40 are provided with a characteristic in which allowable gate oxidized film breakdown strength is lower than 5V and higher than 3V.



<http://www19.ipdl.jpo.go.jp/PA1/result/detail/main/wAAA2jaykhDA409261036P1...> 2004/01/13

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

タ、並びに前記第4の出力ノードとグラウンドとの間に直列接続された第2及び第3のNチャネル型MOSトランジスタを有し、フルアツプ用として機能する前記第7のPチャネル型MOSトランジスタのゲートに前記第1の中間回路の前記第2の出力ノードの電位が印加され、フルアツプ用として機能する前記第3のNチャネル型MOSトランジスタのゲートに前記入力信号の反転信号が印加され、前記第8のPチャネル型MOSトランジスタ及び前記第3のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加され、前記第4の出力ノードより前記出力信号として前記高電圧とグラウンド電圧の間の電位を有する信号を外部へ出力する第2のCMOS回路とを備えたことを特徴とするレベル変換回路。

【請求項5】 高電圧が印加される高電圧電源と第1の出力ノードとの間に直列接続された第1及び第2のPチャネル型MOSトランジスタ、並びに前記第1の出力ノードと第1の入力ノードとの間に接続された第1のNチャネル型MOSトランジスタを有し、フルアツプ用として機能する前記第2のPチャネル型MOSトランジスタのゲートに第1の信号が印加され、フルアツプ用として機能する前記第1のNチャネル型MOSトランジスタのソースに接続された前記第1の入力ノードに前記高電圧よりも低い低電圧とグラウンド電圧との間の電位を有する入力信号が印加され、前記第2のPチャネル型MOSトランジスタ及び前記第1のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加される第1のCMOS回路と、

前記高電圧電源と第2の出力ノードとの間に接続され前記第1の信号がゲートに印加される第3のPチャネル型MOSトランジスタ、及び前記第2の出力ノードと低電圧が印加される低電圧電源との間に接続され前記第1のCMOS回路の前記第1の出力ノードの電位がゲートに印加される第4のPチャネル型MOSトランジスタを有する第1の中間回路と、

前記高電圧電源と第3の出力ノードとの間に接続され前記第1の中間回路の第2の出力ノードの電位がゲートに印加される第5のPチャネル型MOSトランジスタ、及び前記第3の出力ノードと前記低電圧電源との間に接続され出力信号がゲートに印加される第6のPチャネル型MOSトランジスタを有し、前記第3の出力ノードより前記第1の信号を出力する第2の中間回路と、前記高電圧電源と第4の出力ノードとの間に直列接続され前記第7及び第8のPチャネル型MOSトランジスタ、並びに前記第4の出力ノードと第2の入力ノードとの間に接続された第2のNチャネル型MOSトランジスタを有し、フルアツプ用として機能する前記第7のPチャネル型MOSトランジスタのゲートに前記第1の中間回路の前記第2の出力ノードの電位が印加され、且つフルアツプ用として機能する前記第2のNチャネル型MOSトランジスタのソースに接続された前記第2の入力ノードに前記入力信号の反転信号が印加され、前記第8のPチャネル型MOSトランジスタ及び前記第2のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加され、前記第4の出力ノードより前記出力信号として前記高電圧とグラウンド電圧の間の電位を有する信号を外部へ出力する第2のCMOS回路とを備えたことを特徴とするレベル変換回路。

ードに前記入力信号の反転信号が印加され、前記第8のPチャネル型MOSトランジスタ及び前記第2のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加され、前記第4の出力ノードより前記出力信号として前記高電圧とグラウンド電圧の間の電位を有する信号を外部へ出力する第2のCMOS回路とを備えたことを特徴とするレベル変換回路。

【請求項6】 前記第1の信号は、前記高電圧と前記低電圧の間の電位を有する信号であり、該第1の信号を前記出力信号と独立して外部へ出力する構成としたことを特徴とする請求項1乃至請求項5記載のレベル変換回路。

【請求項7】 前記第4及び第6のPチャネル型MOSトランジスタのゲートに低電圧とグラウンド電圧との間に接続され前記低電圧とグラウンド電圧との間の電位を有する信号を出力する低電圧用回路と、前記低電圧用回路から出力された信号を前記低電圧よりも高い高電圧とグラウンド電圧との間の電位を有する信号にレベル変換するレベル変換回路とを備えた半導体集積回路において、

前記レベル変換回路は、請求項1乃至請求項7記載のレベル変換回路で構成したことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】 発明の属する技術分野 本発明は、異なる電圧電位を有するデジタル回路間のインターフェースとして機能するレベル変換回路、及びこのレベル変換回路を搭載した半導体集積回路に関する。

【0002】

【従来の技術】 MOSトランジスタのプロセスが微細化されるにつれて、許容ゲート酸化膜厚は下がってきており、0.6 μm 程度の微細化プロセスでは、その耐圧は4V程度であり、3.3V電圧の回路では支障は来さないが、従来から一般に使われてきた5V電圧では、通常の論理回路を構成することはできず、従って、許容ゲート酸化膜厚が5Vよりも低い集積回路は、3.3V程度の電圧で用いざるを得ない。

【0003】 この3.3V系の集積回路と5V電圧系の集積回路とを組み合わせて使用する場合、低電圧電源系から高電圧電源への信号伝達が可能でなく、従来では以下に示すような技術を用いて低電圧電源系から高電圧電源系へのレベル変換を行っている。

【0004】 図7は、従来より一般的なCMOSレベル変換回路の構成例を示す回路図である（第1の従来回路）。

【0005】 このレベル変換回路は、同図に示すように、5V電源（VDD）とグラウンド間に接続された2段のCMOS回路より構成されている。1段目のCMOS回路は、Pチャネル型MOSトランジスタ（以下、単にP-MOSという）101とNチャネル型MOSトランジスタ（以下、単にN-MOSという）102とで構成され、2段目のCMOS回路は、P-MOS103とN-MOS104とで構成されている。

【0006】 3V（“1”レベル）の入力信号IN1が与えられると、N-MOS102がオンし、同時に、0V（“0”レベル）の入力信号IN2が与えられると、N-MOS104はオンする。一方、N-MOS102のオンによりP-MOS103がオンし、このP-MOS103のオンによりP-MOS104がオフする。従って、出力信号OUT1、OUT2はそれぞれ5V、0Vとなる。

【0007】 また、入力信号IN1が3Vから0Vに変化する、N-MOS102がオフし、同時に、入力信号IN2が0Vから3Vへ変化したN-MOS104はオフする。N-MOS104のオフによりP-MOS101がオンし、その結果、P-MOS103がオンする。従って、出力信号OUT1、OUT2はそれぞれ0V、5Vとなる。

【0008】 このようにして、本回路では3V電源系から5V電源系へのレベル変換を行っている。

【0009】 図8は、特開平4-150411号公報に開示されたレベル変換回路の構成を示す回路図である（第2の従来回路）。

【0010】 このレベル変換回路は、同図に示すように、高電圧（VDD：5V）電源を有するラッチ回路200を備え、このラッチ回路200のノードN11、N12とグラウンドの間にはN-MOS211、212がそれぞれ接続されている。N-MOS211のゲートには、低電圧（VCC：3V）電源系の信号INが印加され、またN-MOS212のゲートには、低電圧（VCC：3V）電源を有するインバータ213を介して前記信号INの反転信号が印加されるようになっている。

【0011】 ラッチ回路200のノードN11、N12がそれぞれ5V、0Vである場合、入力信号INが3V（“1”レベル）になると、N-MOS211がオンし、N-MOS212はオフする。その結果、ノードN11の電位は0Vにシフトするので、ラッチ回路200のノードN12より5V（“1”レベル）に維持された出力信号OUTが得られる。

【0012】 図9は、米国特許公報（U. S. P. 5300832）に開示されたレベル変換回路の構成を示す回路図である（第3の従来回路）。

【0013】 このレベル変換回路は、ゲート酸化膜厚が高電圧電源（5V）よりも低いMOSトランジスタのみを用い、低電圧電源系から高電圧電源系へのレベル変換を行うものである。

【0014】 同図に示すように、このレベル変換回路は、MOSトランジスタ300～313からなるレベル変換部と、MOSトランジスタ314～317からなる出力部とで構成されている。レベル変換部は、低電圧（VCC：3V）電源系の入力信号INを入力し、ノードN21、N22にレベル変換用の制御信号を出力する。出力部は、前記レベル変換部からの制御信号を受けて、高電圧（VDD：5V）電源系の信号として0V～5Vの出力信号OUT1と中間電位～5Vの出力信号OUT2を出力し、さらに0V～中間電位の出力信号OUT3を出力するようになっている。

【0015】 入力信号INが“0”レベルになると、P-MOS306、307がオンし、ノードN23、N24がフルアツプする。ノードN25が“1”レベルになると、N-MOS304がオンし、ノードN23、N24がフルアツプする。N-MOS302を通過する電流経路が形成される。その結果、ノードN25がフルアツプし、P-MOS308がオンする。

【0016】 P-MOS308がオンすると、ノードN21が“1”レベルになるだけでなく、P-MOS309及びN-MOS310、311を通過する電流経路が形成され、ノードN22も“1”レベルになる。その結果、P-MOS314がオンし、N-MOS317がオンし、出力信号OUT1、OUT2は0V、出力信号OUT2は中間電位となる。

【0017】 一方、入力信号INが“1”レベルになると、N-MOS305、312がオンし、ノードN22、N23の電位はフルアツプする。ノードN22がフルアツプすることにより、N-MOS317がオンする。そして、ノードN21の電位がVDD（5V）よりも低くなったとき、P-MOS314はオンし、出力信号OUT1、OUT2は5V、出力信号OUT3は中間電位となる。

【0018】 【発明が解決しようとする課題】 しかしながら、上記従来のレベル変換回路では次のような問題点があった。

【0019】 すなわち、上記第1の従来回路（図7）では、回路を構成する全てのMOSトランジスタのゲートに高電圧電源レベルの電圧が印加されるので、ゲート酸化膜厚は高電圧電源レベル以上である必要となる。そのため、ゲート酸化膜を厚くし且つゲート長を長くして高電圧に耐えるMOSトランジスタを、レベル変換回路用として集積回路のチップ上に部分的に形成することになり、製造プロセスが複雑になる。

【0020】 また、上記第2の従来回路（図8）でも同様に、ラッチ回路200を構成する2個のインバータの各トランジスタ及びN-MOS211、212と共に、高電圧電源レベル以上のゲート酸化膜厚を有するトランジスタが必要となる。

【0021】一方、上記第3の従来回路（図9）では、第1及び第2の従来回路とは異なり、ゲート酸化膜電圧が高電圧電源レベルよりも低いトランジスタだけで回路を構成することができる。しかし、P-MOS314のゲート酸化膜電圧を高電圧電源レベル（VDD）よりも低く抑えるために、P-MOS309がオフしている効果を利用してP-MOS314のゲート電圧（ V_{P-N21} ）の振幅を制限している。つまり、P-MOS309のゲートには電圧VBが与えられているため、ノードN21の電圧は、“0”レベルであつても（ $V_B + V_{1h}$ ）まで下がらない（ V_{1h} ：P-MOSの閾値電圧）。このP-MOS309がオフしている、ノード21の電圧が（ $V_B + V_{1h}$ ）に自然と安定する現象を利用して、P-MOS314のゲート電圧の振幅を制限している。このため、高速な動作ができないという問題がある。また、P-MOS314がオフしているときのゲート電圧（ V_{P-N21} の電位）は、VDD-（ $V_B + V_{1h}$ ）となり、（ $V_B + V_{1h}$ ）が3Vよりも高いとすると、このゲート電圧は低い値になる。従つて、出力部の負荷駆動能力が低下するという問題もあつた。

【0022】本発明は、上述の如き従来の問題を解決するためになされたもので、その目的は、ゲート酸化膜電圧が高電圧電源レベルよりも低いMOSトランジスタのみで構成でき、静止時の消費電力の増加を抑え、しかも高速動作が可能で且つ負荷駆動能力も十分なレベル変換回路を提供することである。またその他の目的は、上記目的に加え、駆動動作の速に動作させることが可能なレベル変換回路を提供することである。その他の目的は、上記目的に加え、適用範囲の広いレベル変換回路を提供することである。さらに、その他の目的は、上記レベル変換回路を構成した半導体集積回路を提供することである。

【0023】

【課題を解決するための手段】上記目的を達成するために、第1の発明であるレベル変換回路の特徴は、高電圧が印加される高電圧電源と第1の出力ノードとの間に直列接続された第1及び第2のPチャネル型MOS、並びに前記第1の出力ノードとグラウンドとの間に直列接続された第1及び第2のN-MOSを有し、フルアップ用として機能する前記第1のP-MOSのゲートに第1の信号が印加され、フルダウン用として機能する前記第2のN-MOSのゲートに前記高電圧よりも低い低電圧とグラウンド電圧との間の振幅を有する入力信号が印加され、前記第2のP-MOS及び前記第1のN-MOSの各ゲートに低電圧が共通して印加される第1のCMOS回路と、前記高電圧電源と第2の出力ノードとの間に接続され前記第1の信号がゲートに印加される第3のP-MOS、及び前記第2の出力ノードと低電圧が印加される低電圧電源との間に接続され前記第1のCMOS回路の前記第1の出力ノードの電位がゲートに印加される第4

のP-MOSを有する第1の中間回路と、前記高電圧電源と第3の出力ノードとの間に接続され前記第1の中間回路の第2の出力ノードの電位がゲートに印加される第5のP-MOS、及び前記第3の出力ノードと前記低電圧電源との間に接続され出力信号がゲートに印加される第6のP-MOSを有し、前記第3の出力ノードより前記第1の信号を出力する第2の中間回路と、前記高電圧電源と第4の出力ノードとの間に直列接続された前記第7及び第8のP-MOS、並びに前記第4の出力ノードとグラウンドとの間に直列接続された第3及び第4のN-MOSを有し、フルアップ用として機能する前記第7のP-MOSのゲートに前記第1の中間回路の前記第2の出力ノードの電位が印加され、フルダウン用として機能する前記第4のN-MOSのゲートに前記入力信号の反転信号が印加され、前記第8のP-MOS及び前記第3のN-MOSの各ゲートに低電圧が共通して印加され、前記第4の出力ノードより前記出力信号として前記高電圧とグラウンド電圧の間の振幅を有する信号を外部へ出力する第2のCMOS回路とを備えたことにある。

【0024】この第1の発明によれば、入力信号が低電圧レベル（“1”レベル）である場合は、第2のN-MOSがオンし、これによって第4のP-MOSがオンする結果、第5及び第7のP-MOSもオンする。一方、入力信号の反転信号により第4のN-MOSはオフし、これによって第6のP-MOSもオフする。その結果、第1及び第3のP-MOSがオフする。従つて、高電圧レベル（“1”レベル）の出力信号が出力される。この状態では、第1、第3及び第6のP-MOSと第4のN-MOSがオフ状態にあるので、本レベル変換回路内に静的な直流通電流パスは存在しない。一方、入力信号が低電圧レベルからグラウンドレベル（“0”レベル）へ変化した場合、第4のN-MOSがオンし、これによって、第6のP-MOSがオンする結果、第1及び第3のP-MOSもオンする。そして、第4のP-MOSがオフするため、第5及び第7のP-MOSがオフして直流通電流パスが絶たれ、グラウンドレベルの出力信号が出力される。これらの作用において、上記各トランジスタのゲート酸化膜には静的に低電圧レベルを越える電位が加わらないため、本レベル変換回路は、許容ゲート酸化膜電圧が高電圧電源レベルよりも低いMOSトランジスタのみで構成することができる。さらに、与えられた電源レベルを、オンしたトランジスタで次のトランジスタのゲートに供給する方式であるため、ゲート電圧の振幅の制限にソースフォロワトランジスタのオフする効果を利用して前述の第3の従来回路よりも高速に動作し、加えて負荷駆動能力の低下も抑えられる。また、上記MOSトランジスタに接続される低電圧電源を、側面に異なる低電圧の電源とすることにより、トランジスタのオン抵抗を調整することができる。

【0025】第2の発明であるレベル変換回路の特徴

は、上記第1の発明において、前記第1のCMOS回路における前記第1及び第2のPチャネル型MOSトランジスタの直列接続された第1及び第2のNチャネル型MOSトランジスタの直列接続された第1及び第2のPチャネル型MOSトランジスタのオン低電圧よりも大きく設定し、前記第2のCMOS回路における前記第7及び第8のPチャネル型MOSトランジスタの直列接続された第3及び第4のNチャネル型MOSトランジスタの直列接続された第3のPチャネル型MOSトランジスタのオン低電圧よりも大きく設定すると共に、前記第1の中間回路における第3のPチャネル型MOSトランジスタのオン低電圧は第4のPチャネル型MOSトランジスタのオン低電圧よりも大きく設定し、前記第2の中間回路における第5のPチャネル型MOSトランジスタのオン低電圧は第6のPチャネル型MOSトランジスタのオン低電圧よりも大きく設定したことにある。

【0026】この第2の発明によれば、上記第1の発明の回路を正確に動作させることができる。

【0027】第3の発明であるレベル変換回路の特徴は、高電圧が印加される高電圧電源と第1の出力ノードとの間に直列接続された第1及び第2のPチャネル型MOSトランジスタ、並びに前記第1の出力ノードとグラウンドとの間に直列接続された第1及び第2のNチャネル型MOSトランジスタを有し、フルアップ用として機能する前記第1のPチャネル型MOSトランジスタのゲートに第1の信号が印加され、フルダウン用として機能する前記第2のNチャネル型MOSトランジスタのゲートに接続された入力ノードに前記高電圧よりも低い低電圧とグラウンド電圧との間の振幅を有する入力信号が印加され、前記第2のPチャネル型MOSトランジスタ及び前記第1のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加される第1のCMOS回路と、前記高電圧電源と第2の出力ノードとの間に接続され前記第1の信号がゲートに印加される第3のPチャネル型MOSトランジスタ、及び前記第2の出力ノードと低電圧が印加される低電圧電源との間に接続され前記第1のCMOS回路の前記第1の出力ノードの電位がゲートに印加される第5のPチャネル型MOSトランジスタ、及び前記第3の出力ノードと前記低電圧電源との間に接続され出力信号がゲートに印加される第6のPチャネル型MOSトランジスタを有し、前記第3の出力ノードより前記第1の信号を出力する第2の中間回路と、前記高電圧電源と第4の出力ノードとの間に直列接続された前記第7及び第8のPチャネル型MOSトランジスタ、並びに前記第4の出力ノードと前記入力ノードとの間に接続された第3のNチャネル型MOSトランジスタを有し、フルアップ用として機能する前記第7のPチャネル型MOSトランジスタのゲートに前記第1の中間回路の前記第2の出力ノードの電位が印加さ

れ、且つ前記第8のPチャネル型MOSトランジスタ及びフルダウン用として機能する前記第3のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加され、前記第4の出力ノードより前記出力信号として前記高電圧とグラウンド電圧の間の振幅を有する信号を外部へ出力する第2のCMOS回路とを備えたことにある。

【0028】この第3の発明によれば、上記第1の発明における第4のN-MOSを省略し、入力信号を1種類とすることができる。入力信号が低電圧レベル（“1”レベル）である場合は、上記第1の発明と同様の作用を行い、高電圧レベル（“1”レベル）の出力信号が出力される。この状態では、第1、第3及び第6のP-MOSと第3のN-MOSがオフ状態にあるので、本レベル変換回路内に静的な直流通電流パスは存在しない。また、入力信号が低電圧レベルからグラウンドレベル（“0”レベル）へ変化した場合、第4のN-MOSがオンし、第3のN-MOSはオフしてその後は第1の発明と同様の作用が行われ、グラウンドレベルの出力信号が出力される。これにより、上記第1の発明と同様に、許容ゲート酸化膜電圧が高電圧電源レベルよりも低いMOSトランジスタのみで回路を構成することができる。前述の第3の従来回路よりも高速に動作し、加えて負荷駆動能力の低下も抑えられる。

【0029】第4の発明であるレベル変換回路の特徴は、高電圧が印加される高電圧電源と第1の出力ノードとの間に直列接続された第1及び第2のPチャネル型MOSトランジスタ、並びに前記第1の出力ノードと入力ノードとの間に接続された第1のNチャネル型MOSトランジスタを有し、フルアップ用として機能する前記第1のPチャネル型MOSトランジスタのゲートに第1の信号が印加され、フルダウン用として機能する前記第1のNチャネル型MOSトランジスタのソースに接続された前記入力ノードに前記高電圧よりも低い低電圧とグラウンド電圧との間の振幅を有する入力信号が印加され、前記第2のPチャネル型MOSトランジスタ及び前記第1のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加される第1のCMOS回路と、前記高電圧電源と第2の出力ノードとの間に接続され前記第1の信号がゲートに印加される第3のPチャネル型MOSトランジスタ、及び前記第2の出力ノードと低電圧が印加される低電圧電源との間に接続され前記第1のCMOS回路の前記第1の出力ノードの電位がゲートに印加される第5のPチャネル型MOSトランジスタ、及び前記第3の出力ノードと前記低電圧電源との間に接続され出力信号がゲートに印加される第6のPチャネル型MOSトランジスタを有し、フルアップ用として機能する前記第7のPチャネル型MOSトランジスタのゲートに前記第1の中間回路の前記第2の出力ノードの電位が印加さ

路と、前記高電圧電源と第4の出力ノードとの間に直列接続された前記第7及び第8のPチャネル型MOSトランジスタ、並びに前記第4の出力ノードとグラウンドとの間に直列接続された第2及び第3のNチャネル型MOSトランジスタを有し、フルアップ用として機能する前記第7のPチャネル型MOSトランジスタのゲートに前記第1の中間回路の前記第2の出力ノードの電位が印加され、フルダウン用として機能する前記第3のNチャネル型MOSトランジスタのゲートに前記第8のPチャネル型MOSトランジスタの反転信号が印加され、前記第8のPチャネル型MOSトランジスタ及び前記第2のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加され、前記第4の出力ノードより前記出力信号として前記高電圧とグラウンド電圧の間の電圧を有する信号を外部へ出力する第2のCMOS回路とを備えたことにある。

【0030】この第4の発明によれば、上記第1の発明における第2のN-MOSを省略し、入力信号を1種類とすることができる。入力信号がグラウンドレベル（“0”レベル）である場合は、第1のN-MOSがオンし、その後は上記第1の発明と同様の作用を行い、高電圧レベル（“1”レベル）の出力信号が出力される。この状態では、前記同様に本レベル変換回路内に静電的な直流通電パスは存在しない。また、入力信号がグラウンドレベルから高電圧レベル（“1”レベル）へ変化した場合は、第1のN-MOSはオフし、第3のN-MOSがオンして、その後は、第1の発明と同様の作用を行い、グラウンドレベルの出力信号が出力される。この第4の発明も、許容ゲート酸化膜厚圧が高電圧電源よりも低いMOSトランジスタのみで回路を構成することができ、前述の第3の従来回路よりも高速に動作し、加えて負荷駆動能力の低下も抑えられる。

【0031】第5の発明であるレベル変換回路の特徴は、高電圧が印加される高電圧電源と第1の出力ノードとの間に直列接続された第1及び第2のPチャネル型MOSトランジスタ、並びに前記第1の出力ノードと第1の出力ノードとの間に接続された第1のNチャネル型MOSトランジスタを有し、フルアップ用として機能する前記第1のPチャネル型MOSトランジスタのゲートに第1の信号が印加され、フルダウン用として機能する前記第1のNチャネル型MOSトランジスタのソースに接続された前記第1の入力ノードに前記高電圧よりも低い低電圧とグラウンド電圧との間の電圧を有する入力信号が印加され、前記第2のPチャネル型MOSトランジスタ及び前記第1のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加される第1のCMOS回路と、前記高電圧電源と第2の出力ノードとの間に接続され前記第1の信号がゲートに印加される第3のPチャネル型MOSトランジスタ、及び前記第2の出力ノードと低電圧が印加される低電圧電源との間に接続され前記第1のCMOS回路の前記第1の出力ノードの電位がゲートに印加される第4のPチャネル型MOSトランジスタを有する第1の中間回路と、前記高電圧電源と第3の出力ノードとの間に接続され前記第1の中間回路の第2の出力ノードの電位がゲートに印加される第5のPチャネル型MOSトランジスタ、及び前記第3の出力ノードと低電圧が共通して印加される第2のCMOS回路とを備えたことにある。

トに印加される第4のPチャネル型MOSトランジスタを有する第1の中間回路と、前記高電圧電源と第3の出力ノードとの間に接続され前記第1の中間回路の第2の出力ノードの電位がゲートに印加される第5のPチャネル型MOSトランジスタ、及び前記第3の出力ノードと前記低電圧電源との間に接続され出力信号がゲートに印加される第6のPチャネル型MOSトランジスタを有し、前記第3の出力ノードより前記第1の信号を出力する第2の中間回路と、前記高電圧電源と第4の出力ノードとの間に直列接続された前記第7及び第8のPチャネル型MOSトランジスタ、並びに前記第4の出力ノードと第2の入力ノードとの間に接続された第2のNチャネル型MOSトランジスタを有し、フルアップ用として機能する前記第7のPチャネル型MOSトランジスタのゲートに前記第1の中間回路の前記第2の出力ノードの電位が印加され、且つフルダウン用として機能する前記第2のNチャネル型MOSトランジスタのソースに接続された前記第2の入力ノードに前記入力信号の反転信号が印加され、前記第8のPチャネル型MOSトランジスタ及び前記第2のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加され、前記第4の出力ノードより前記出力信号として前記高電圧とグラウンド電圧の間の電圧を有する信号を外部へ出力する第2のCMOS回路とを備えたことにある。

【0032】この第5の発明によれば、上記第1の発明における第2及び第4のN-MOSを省略することができる。入力信号がグラウンドレベル（“0”レベル）である場合は、第1のN-MOSがオンし、その後は上記第1の発明と同様の作用を行い、高電圧レベル（“1”レベル）の出力信号が出力される。この状態では、この状態では、第1、第3及び第6のP-MOSと第2のN-MOSがオフ状態にあるので、本レベル変換回路内に静電的な直流通電パスは存在しない。また、入力信号がグラウンドレベルから高電圧レベル（“1”レベル）へ変化した場合は、第1のN-MOSはオフし、第2のN-MOSがオンして、その後は、第1の発明と同様の作用を行い、グラウンドレベルの出力信号が出力される。この第5の発明も、許容ゲート酸化膜厚圧が高電圧電源よりも低いMOSトランジスタのみで回路を構成することができ、前述の第3の従来回路よりも高速に動作し、加えて負荷駆動能力の低下も抑えられる。

【0033】第6の発明であるレベル変換回路の特徴は、上記第1乃至第5の発明において、前記第1の信号は、前記高電圧と前記低電圧の間の電圧を有する信号であり、第1の信号を前記出力信号と独立して外部へ出力する構成としたことにある。

【0034】この第6の発明によれば、上記第1乃至第5の発明の回路の適用範囲が広がる。

【0035】第7の発明であるレベル変換回路の特徴は、上記第1乃至第6の発明において、前記第4及び第

6のPチャネル型MOSトランジスタのソースレベルとをそれぞれソース側に接続して、他のPチャネル型MOSトランジスタのソースレベルと分離したことにあり。

【0036】この第7の発明であるレベル変換回路によれば、第4及び第6のP-MOSのゲート酸化膜への負荷を一般軽減することができる。

【0037】第8の発明であるレベル変換回路の特徴は、上記第1乃至第7の発明において、低電圧が印加される低電圧電源とグラウンドとの間に接続され前記低電圧とグラウンド電圧との間の電圧を有する信号を出力する低電圧回路と、前記低電圧電源から出力された信号を前記低電圧よりも高い高電圧とグラウンド電圧との間の電圧を有する信号にレベル変換するレベル変換回路とを備えた半導体装置において、前記レベル変換回路は、上記第1乃至第7の発明のレベル変換回路で構成したことにあり。

【0038】この第8の発明によれば、集積化されたレベル変換回路において、上記第1乃至第7の発明と同様の作用を奏する。

【0039】【発明の実施形態】以下、本発明の実施形態を図面に基いて説明する。図1は、本発明の第1実施形態に係るレベル変換回路の回路図である（第1、第2及び第6の発明に対応）。

【0040】このレベル変換回路は、高電圧（5V：VDD）電源とグラウンドとの間に接続されて、低電圧（3V：VCC）とグラウンド電圧（0V）との間の電圧を有する入力信号IN1を取り込む第1のCMOS回路10と、5V電源とグラウンドとの間に接続されて、5V～0V間の電圧を有する出力信号OUT1を出力する第2のCMOS回路20と、これら第1及び第2のCMOS回路10、20の間に導け接続された第1及び第2の中間回路30、40とを備えている。ここで、これら各回路10～40を構成する全てのMOSトランジスタ（以下に述べる）は、許容ゲート酸化膜厚圧が5Vよりも低く出づる3Vよりも低い特性を有している。

【0041】より具体的には、CMOS回路10は、5V電源とノードFN1との間に直列接続されたP-MOS11、12と、前記ノードFN1とグラウンドとの間に直列接続されたN-MOS13、14とで構成されている。P-MOS11はフルアップ用として機能し、そのゲートには中間回路40の出力（第1の信号）が印加され、さらに、N-MOS14はフルダウン用として機能し、そのゲートには前記入力信号IN1が印加されるようになっている。

【0042】P-MOS12及びN-MOS13は、それぞれP-MOS11及びN-MOS14の過電圧保護用として設けられ、その各ゲートには3V電源が共通して印加されている。また、P-MOS12のソースレベル

ート（N型ウェル領域）は、P-MOS11のソースレベルト（N型ウェル領域）と共通して5V電源に接続され、N-MOS13のソースレベルトは、N-MOS14のソースレベルトと共通してグラウンドに接続されている。

【0043】CMOS回路20は、上記CMOS回路10と同様の素子構成で、5V電源とノードFN2との間に直列接続されたP-MOS21、22と、ノードFN2とグラウンドとの間に直列接続されたN-MOS23、24とで構成されている。フルアップ用として機能するP-MOS21のゲートには前記中間回路30の出力が印加され、フルダウン用として機能するN-MOS24のゲートには前記入力信号IN1の反転信号IN2が印加されるようになっている。

【0044】一方、中間回路30は、5V電源とノードFN3との間に接続され前記中間回路40の出力（第1の信号）がゲートに印加されるP-MOS31と、前記ノードFN3と3V電源との間に接続され前記CMOS回路10のノードFN1の電位がゲートに印加されるP-MOS32とで構成されている。また、P-MOS31のソースレベルトは、P-MOS32のソースレベルトと共通して5V電源に接続されている。

【0045】中間回路40は、上記中間回路30と同様の素子構成で、5V電源とノードFN4との間に接続され前記中間回路30のノードFN3の電位がゲートに印加されるP-MOS41と、ノードFN4と3V電源との間に接続され出力信号OUT1がゲートに印加されるP-MOS42とで構成されている。

【0046】さて、CMOS回路20のノードFN2より、5V（“1”レベル）～0V（“0”レベル）の電圧で入力信号IN1と同様の出力信号OUT1が出力され、加えて中間回路40のノードFN4より、5V（“1”レベル）～3V（“0”レベル）間の電圧を有し入力信号IN1と同様の出力信号OUT2が出力されるようになっている。

【0047】ここで、本回路を正確に動作させるために、各トランジスタのオン抵抗は次のような条件に設定されている。すなわち、CMOS回路10におけるP-MOS11、12の直列オン抵抗は、N-MOS13、14の直列オン抵抗よりも大きくなるように、各々のトランジスタのゲインβが設定されている。同様の設定がCMOS回路20におけるP-MOS21、22とN-MOS23、24との間にもなされている。さらに、中間回路30におけるP-MOS31のオン抵抗はP-MOS32のオン抵抗よりも大きくなるように、また中間回路40におけるP-MOS41のオン抵抗はP-MOS42のオン抵抗よりも大きくなるように、各々のトランジスタのゲインβが設定されている。

【0048】次に、以上のように構成されるレベル変換回路の動作を説明する。

【0049】まず、3V (1レベル) の入力信号IN1

が供給された場合の動作を説明する。入力信号IN1が3V (1レベル) であると、この信号IN1がゲートに印加されるN-MOS 14はオンし、上記オシロスコプの段からノードN1は0Vに近い電圧を出力する。その結果、P-MOS 32がオンし、ノードN3は3Vに近い電圧を出力し、P-MOS 41、21がオフする。

【0050】一方、N-MOS 24のゲートには、0V (0レベル) の入力信号IN2が印加されるので、N-MOS 24はオフし、ノードN2の電圧は5Vとなる。その結果、P-MOS 42がオフし、P-MOS 41はオンしている。ノードN4の電圧は5Vになる。ノードN4の電圧が5Vになると、P-MOS 11、31はオフし、ノードN1の電圧は0Vになり、ノードN3の電圧は3Vとなる。従って、出力信号OUT1及びOUT2は、5V (1レベル) となる。

【0051】なお、この状態において、P-MOS 11、31、42及びN-MOS 24はオフしているの

で、このレベル変換回路内に静的な直流通電パスは存在しない。

【0052】次に入力信号IN1が3V ("1" レベル) から0V (0レベル) に変化した場合の動作を説明する。

【0053】N-MOS 14はオフし、且つP-MOS 11もオフしている。ノードN1の電圧は定まらない。しかし、入力信号IN2は3V (1レベル) であるため、N-MOS 24がオンし、このときP-MOS 21もオンしているが、ノードN2の電圧は0Vに近いものとなる。その結果としてP-MOS 42がオンし、このときP-MOS 41もオンしているが、ノードN4は3Vに近い電圧になる。

【0054】ノードN4が3Vに近い電圧になると、P-MOS 11、31がオンし、ノードN1は、N-MOS 14が既にオフしているため5Vを出力する。その結果、P-MOS 32もオフし、ノードN3の電圧も5Vとなるため、P-MOS 41、21はオフして直流通電パスが断たれ、ノードN2は0Vを出力し、ノードN4は3Vを出力する。従って、出力信号OUT1は0V (0レベル)、出力信号OUT2は3V (0レベル) が出力される。

【0055】このような動作において、各トランジスタのゲートとソースまたはドレインあるいはサブスレートとの間に3Vを超える電圧が印加されることはない。但し、P-MOS 32及びP-MOS 42には、5Vから0Vの範囲の信号が加わり、0Vが加わる時に過渡的に3Vを超える電圧がゲート酸化膜に加わるが、静止状態では、該MOSトランジスタはオフし、ソース・ドレイン間に3V電圧に接続されたチャネルが形成され、基板電位の5Vはゲート酸化膜からシールドされるので、このゲート酸化膜には静的に3Vを超える電圧は加わ

ない。

【0056】このように本実施形態のレベル変換回路では、上記各トランジスタのゲート酸化膜には静的に3Vを超える電圧が加わらないため、許容ゲート酸化膜電圧が5Vよりも低いMOSトランジスタのみで回路を構成することができ、これにより、製造プロセスを複雑にしないで低消費電力のレベル変換回路を実現することが可能となる。さらに、与えられた電圧レベルを、オンしたトランジスタで次のトランジスタのゲートに供給する方式であるため、ゲート電圧の振幅の制限にリソースが消費されず、高速度動作が可能となるだけでなく、負荷駆動能力の低下も抑えられる。

【0057】また、本実施形態では、低電圧レベルは全て3Vになっているが、たとえば2Vの電圧が他に存在しているならば、P-MOS 12及びP-MOS 22のゲートのみを2V電圧源に接続しても、またP-MOS 32及びP-MOS 42のドレインのみを2V電圧源に接続しても回路は正常に動作する。3V電圧に接続されている端子を個別に他の低電圧レベルに接続することにより、トランジスタのオン電圧を調整し、ゲイン調整の設計に自由度を持たせることができる。

【0058】図2は、本発明の第2実施形態に係るレベル変換回路の回路図であり、図1と共通の要素には同一の符号が付けられている (第3の発明に対応)。

【0059】上記図1に示す構成において、N-MOS 23のソースに、直流通電パスの一端を持った入力信号を接続しても回路動作が壊れることはない。このようなことから、本実施形態は、図1に示す回路のN-MOS 24を省略した場合の例を示している。すなわち、上記CMOS回路20に代えて設けられたCMOS回路20'は、N-MOS 24を省略してN-MOS 23のソースに直接、入力信号IN1を印加した構成となっている。

【0060】このレベル変換回路によれば、入力信号IN1が3V ("1" レベル) である場合は、上記第1実施形態と同様の動作を行い、5V ("1" レベル) の出力信号OUT1及びOUT2が出力される。この状態では、P-MOS 11、31、42がオフ状態であり、加えてN-MOS 23もオフしているため、本レベル変換回路内に静的な直流通電パスは存在しない。一方、入力信号IN1が3V ("1" レベル) から0V ("0" レベル) へ変化した場合は、N-MOS 14がオフし、N-MOS 23がオンする。第1実施形態と同様に出力信号OUT1が0V ("0" レベル) に、出力信号OUT2が3V ("0" レベル) に変化する。

【0061】本実施形態では、上記第1実施形態と同様の利点を有するほか、図1に示すN-MOS 24を省略でき、且つ入力信号を1種類とすることができ、第1実施形態よりも構成が簡素化される。

【0062】図3は、本発明の第3実施形態に係るレベル変換回路の回路図であり、図1と共通の要素には同一の符号が付けられている (第4の発明に対応)。

【0063】上記図1に示す構成において、N-MOS 13のソースに、直流通電パスの一端を持った入力信号を接続しても回路動作が壊れることはない。このようにことから、本実施形態は、図1に示す回路のN-MOS 14を省略した場合の例を示している。すなわち、上記CMOS回路10に代えて設けられたCMOS回路10'は、N-MOS 14を省略してN-MOS 13のソースに直接、入力信号IN2を印加した構成となっている。

【0064】このレベル変換回路によれば、入力信号IN2が0V ("0" レベル) であるときには、N-MOS 13がオンし、その後は上記第1実施形態と同様の動作が行われ、5V ("1" レベル) の出力信号OUT1及びOUT2が出力される。この状態では、P-MOS 11、31、42及びN-MOS 24がオフ状態にあるため、本レベル変換回路内に静的な直流通電パスは存在しない。

【0065】一方、入力信号IN2が0V ("0" レベル) から3V ("1" レベル) へ変化した場合は、N-MOS 13がオフする一方で、N-MOS 24がオンし、その後は第1実施形態と同様の動作が行われ、出力信号OUT1が0V ("0" レベル) に、出力信号OUT2が3V ("0" レベル) に変化する。

【0066】このように、入力信号IN2に対して逆相の出力信号OUT1及びOUT2が出力される。

【0067】本実施形態では、上記第1実施形態と同様の利点を有するほか、図1に示すN-MOS 14を省略でき、且つ入力信号を1種類とすることができ、第1実施形態よりも構成が簡素化される。

【0068】図4は、本発明の第4実施形態に係るレベル変換回路の回路図であり、図1と共通の要素には同一の符号が付けられている (第5の発明に対応)。

【0069】上記図1に示す構成において、N-MOS 13及びN-MOS 23のソースに、直流通電パスの一端を持った入力信号を接続しても回路動作が壊れることはない。このようなことから、本実施形態は、図1に示す回路のN-MOS 14及びN-MOS 24を省略した場合の例を示している。すなわち、上記CMOS回路10及び20に代えて設けられたCMOS回路10'、20'は、N-MOS 14及び24を省略してN-MOS 13及び23のソースに直接、それぞれ入力信号IN1及びIN2を印加した構成となっている。

【0070】このレベル変換回路によれば、入力信号IN1が0V ("0" レベル) であるときには、N-MOS 13がオンし、その後は上記第1実施形態と同様の動作が行われ、5V ("1" レベル) の出力信号OUT1及びOUT2が出力される。このとき、P-MOS 1

1、31、42オフ状態であり、またN-MOS 23のソースには3V ("1" レベル) の入力信号IN2が印加されているため、該N-MOS 23もオフしている。その結果、この状態では、本レベル変換回路内に静的な直流通電パスは存在しない。

【0071】一方、入力信号IN1が0V ("0" レベル) から3V ("1" レベル) へ変化した場合は、N-MOS 13がオフする一方で、N-MOS 23がオンし、その後は第1実施形態と同様の動作が行われ、出力信号OUT1が0V ("0" レベル) に、出力信号OUT2が3V ("0" レベル) に変化する。

【0072】このように、入力信号IN1に対して逆相の出力信号OUT1及びOUT2が出力される。

【0073】本実施形態では、上記第1実施形態と同様の利点を有するほか、図1に示すN-MOS 14及びN-MOS 24を省略できるので、第1実施形態よりも構成が簡素化される。

【0074】図5は、本発明の第5実施形態に係るレベル変換回路の回路図であり、図1と共通の要素には同一の符号が付けられている (第7の発明に対応)。

【0075】本実施形態は、上記図1の構成において、上記中間回路30、40とはサブスレートの接続構成が異なる中間回路30'、40'を、上記中間回路30、40に代えて設けたものである。すなわち、上記第1実施形態において、P-MOS 32及びP-MOS 42のオン時に形成されるチャネルにより基板電位の5Vがゲート酸化膜からシールドされ、該トランジスタのゲート酸化膜には3Vを超える電圧は加わらない点について述べた。この点について、本実施形態では、P-MOS 32及びP-MOS 42の基板にN型リエル (サブスレート) を他のP-MOSのN型リエル (サブスレート) から分離して各々のソースに接続することによって、該P-MOS 32及びP-MOS 42のゲート酸化膜への負荷をさらに軽減するようにしたものである。

【0076】この場合の回路動作も上記第1実施形態と全く同じである。

【0077】図6は、本発明の第6実施形態に係る半導体回路の回路図であり、図1と共通の要素には同一の符号が付けられている (第8の発明に対応)。

【0078】本実施形態は、上記図1に示したレベル変換回路を半導体回路のトランスイスタバッファ回路に適用したものである。このトランスイスタバッファ回路は、3V系の論理回路50を備え、この論理回路50の出力側が図1に示す構成のレベル変換回路に接続されている。3V系の論理回路50は、データ端子51及びイネーブル端子52を有し、NANDゲート53、インバータ54、55及びNORゲート56で構成されている。さらに、前記レベル変換回路の出力側には、トランスイスタバッファ回路60を介してイネーブルバッファ回路70が接続され

ている。ツリバツツ回路601は、P-MOS61、62で構成され、5V～3V間の振幅の信号をP-MOS71に供給し、またメインツリバツツ回路701は、P-MOS71、72及びN-MOS73、74で構成され、その出力に接続された出力バツフ80から集積回路の外部へ出力信号OUTを出力するようになっている。

【0079】次に、動作を説明する。イネーガル端子52に0V（0レベル）が与えられると、P-MOS71には5V（1レベル）、N-MOS74には0V（0レベル）が印加され、出力バツフ80はハイインピーダンス状態になる。一方、イネーガル端子52に3V（1レベル）が与えられると、P-MOS71のゲートに3V（0レベル）、N-MOS74のゲートに0V（0レベル）が印加され、出力バツフ80は5V（1レベル）となる。

【0080】また、イネーガル端子52に3V（1レベル）且つデータ端子51に0V（0レベル）が与えられる時は、P-MOS71のゲートには3V（0レベル）、N-MOS74のゲートに3V（1レベル）が印加され、出力バツフ80は0V（0レベル）となり、トランスイミットバツフとして機能する。

【0081】なお、P-MOS71のゲートを、レベル変換回路における中間回路400の出力ノード（OUT2）に接続することにより、ツリバツツ回路70を省略することも可能である。

【0082】上記各実施形態においては5Vと3Vの2電源の場合について説明したが、0.25μmプロセス世代では、ゲート酸化膜厚が3.3V以下になることが予想され、そのプロセス世代において、高電圧が3.3V、低電圧が2Vというような組み合わせで本発明を適用することも可能である。

【0083】

【発明の効果】以上詳細に説明したように、第1の発明であるレベル変換回路によれば、ゲート酸化膜厚が高電圧電源レベルよりも低いMOSトランジスタのみで構成でき、且つ静止時の消費電力を増すことなく低電圧電源の振幅から高電圧電源の振幅に信号電圧振幅を変換することができ、これにより、製造プロセスを複雑にしないで低消費電力のレベル変換回路を実現することが可能となる。さらに、前述の第3の従来回路よりも高速動作が可能となり、しかも負荷駆動能力の低下も抑えることができる。また、MOSトランジスタに接続される低電圧電源を個別に異なる低電圧の電圧源とすることにより、トランジスタのオン抵抗を調整することができ、ディメンジョンの設定に自由度を持たせることも可能となる。

【0084】第2の発明であるレベル変換回路によれば、上記第1の発明の回路を動作作なく的確に動作させることが可能となる。

【0085】第3の発明であるレベル変換回路によれば、上記第1の発明よりも簡単な構成で同様の効果を得ることができる。

【0086】第4の発明であるレベル変換回路によれば、上記第1の発明よりも簡単な構成で同様の効果を得ることができる。

【0087】第5の発明であるレベル変換回路によれば、上記第1の発明よりも簡単な構成で同様の効果を得ることができる。

【0088】第6の発明であるレベル変換回路によれば、上記第1乃至第5の発明の回路の応用範囲を広くすることが可能となる。

【0089】第7の発明であるレベル変換回路によれば、上記第1乃至第6の発明の回路において、第4及び第6のP-MOSのゲート酸化膜への負荷を一回軽減することが可能となる。

【0090】第8の発明である半導体集積回路によれば、集積化されたレベル変換回路において、上記第1乃至第7の発明と同様の効果を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るレベル変換回路の回路図である。

【図2】本発明の第2実施形態に係るレベル変換回路の回路図である。

【図3】本発明の第3実施形態に係るレベル変換回路の回路図である。

【図4】本発明の第4実施形態に係るレベル変換回路の回路図である。

【図5】本発明の第5実施形態に係るレベル変換回路の回路図である。

【図6】本発明の第6実施形態に係る半導体集積回路の回路図である。

【図7】従来のレベル変換回路の構成を示す回路図である（第1の従来回路）。

【図8】従来のレベル変換回路の構成を示す回路図である（第2の従来回路）。

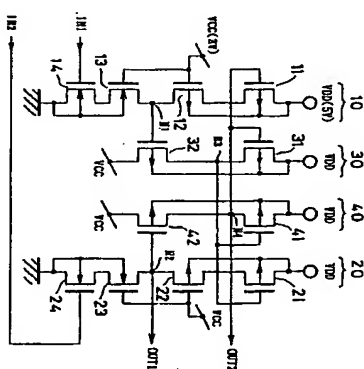
【図9】従来のレベル変換回路の構成を示す回路図である（第3の従来回路）。

【符号の説明】

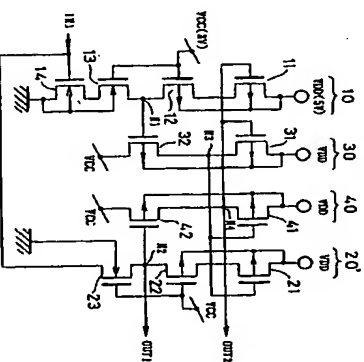
- 10 第1のCMOS回路
- 20 第2のCMOS回路
- 30 第1の中間回路
- 40 第2の中間回路
- 11 第1のP-MOS
- 12 第2のP-MOS
- 13 第1のN-MOS
- 14 第2のN-MOS
- 21 第7のP-MOS
- 22 第8のP-MOS
- 23 第2または第3のN-MOS

- 24 第3または第4のN-MOS
- 31 第3のP-MOS
- 32 第4のP-MOS
- 41 第5のP-MOS
- 42 第6のP-MOS
- N1 第1の出力ノード
- N2 第4の出力ノード

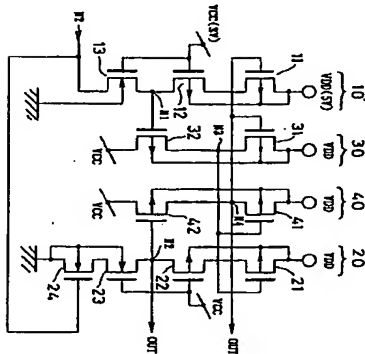
【図1】



【図2】



【図3】



【図4】

